

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12581311

Basic Patent (No,Kind,Date): JP 7199156 A2 19950804 <No. of Patents: 005>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): KOYAMA JUN

IPC: \*G02F-001/133; G09G-003/36

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 7199156	A2	19950804	JP 93354091	A	19931227	(BASIC)
<b>JP 7199157</b>	A2	19950804	JP 93354092	A	19931227	
JP 3160142	B2	20010423	JP 93354091	A	19931227	
JP 3160143	B2	20010423	JP 93354092	A	19931227	
US 5798746	A	19980825	US 362881	A	19941223	

Priority Data (No,Kind,Date):

JP 93354091 A 19931227

JP 93354092 A 19931227



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-199157

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl. <sup>6</sup>	識別記号	F I
G02F 1/133	575	
	550	
G09G 3/36		

審査請求 未請求 請求項の数 1 F D (全 8 頁)

(21) 出願番号 特願平5-354092

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 液晶表示装置において、画素における電位の保持特性を高め、さらに走査線の電位変化によって保持電位が変化しない構成を提供する。

【構成】 走査線の信号によって、信号線の電位をデジタル記憶回路に取込み、一定の期間電位を保持する。そして、デジタル記憶回路が保持状態である限り、画素電極にはハイ電圧またはロウ電圧が与えられ、画素電極における電位の保持特性を高める。

## 【特許請求の範囲】

【請求項 1】第一の絶縁表面を有する基板上にマトリクス状に配置された画素電極と信号線と走査線を備え、第二の絶縁表面を有する基板上に対向電極を備え、前記第一の基板と前記第二の基板との間に液晶を有した時間諧調方式の液晶表示装置において、一つの画素電極にたいして、薄膜トランジスタで構成され、画素電極にその出力を接続したデジタル記憶回路を一つずつを有し、且つ、前記デジタル記憶回路の電源電位をその出力論理振幅と同等の振幅で交流駆動することを特徴とした液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はアクティブマトリクス型の液晶表示装置、とくにデジタル諧調表示の液晶表示装置に関する。

## 【0002】

【従来の技術】従来のデジタル諧調のアクティブマトリクス型の液晶表示装置としては、日経 B P 社刊「フラットパネルディスプレイ 91 173 頁～180 頁」に記載されているものなどが標準的である。

【0003】第 2 図は従来の液晶表示装置の例である。アクティブマトリクス型の液晶表示装置は大まかに画素マトリクス部、信号線駆動回路、走査線駆動回路の 3 つに分割できる。以下、図面に基づき動作を説明する。

【0004】画素マトリクスは信号線と走査線をマトリクス状に配置し、その交点部分に画素 T F T を配置し、画素 T F T のゲートは走査線に、ソースは信号線に、ドレインは画素電極に接続している。また、一般に画素電極と対向電極の間の液晶容量は大きな値をとりえないため、画素電極の近傍に電荷を保持する保持容量を配置することが行われる。走査線に T F T のスレッシュホールド電圧を越える電圧が印加され、T F T がオンすると、T F T のドレインとソースはショート状態となり、信号線の電圧が画素電極に印加され液晶と保持容量に充電される。T F T がオフになるとドレインは開放状態となり、液晶と保持容量に蓄えられた電荷は次に T F T がオンするまで保持される。

【0005】第 3 図に 4 諧調の信号線駆動回路の例を示す。ここでは 4 諧調の場合を説明するが諧調数が異なる場合でも基本動作は同じである。デジタル諧調信号は入力端子 302、303 よりシフトレジスタ 310、311 に入力される。シフトレジスタ 310、311 の出力は次の段のシフトレジスタ 312、313 およびラッチ回路 314、315 に入力され、ラッチ回路は一定期間データの保持を行う。この保持期間は入力端子 304 に入力される水平同期信号によってきまる。ラッチ回路の出力信号はデコーダ 316 に入力され 2 ビットのデジタル信号はこのデコーダによって 4 つの電圧選択信号に変換される。この電圧選択信号によってスイッチトランジ

スタ 317～320 のいずれかが選択され、諧調電圧線 305～308 のいずれかの電位が信号線 9 に伝達される。

【0006】第 4 図に走査線駆動回路の例を示す。走査線駆動回路はシフトレジスタと N A N D 回路、インバータ型バッファによって構成され、垂直同期信号に同期したスタートパルスと水平同期信号に同期したクロックを入力し、順次走査線を駆動していく。

## 【0007】

【発明が解決しようとする問題点】前述した従来の液晶表示装置には以下に示すような 2 つの問題点があった。第一の問題点は T F T がオフ状態のときにおいて、ドレイン～ソース間にリーク電流が流れ、画素の電荷が放電し電位が変動することである。

【0008】一般的な N チャンネル T F T のドレイン電流、ゲート電圧特性を第 5 図に示す。第 5 図からわかるように、ゲート電圧がマイナスのときでもドレインには電流が流れている。この電流によって電荷の放電が発生する。N チャンネルの T F T で説明をおこなったが P チャンネル T F T でも同様である。

【0009】通常、画素の書き込み周期は 100 Hz 以下であるため、保持時間は 10 m s e c 以上となる。なるべく長く保持時間をとるため、液晶と並列に保持容量 241 をつけることが一般的であるが液晶と保持容量をあわせて 0.1 p F ～ 0.2 p F までしかできない。画素の保持時間を 16.6 m s e c (60 Hz)、液晶にかかる電圧を 5 V、保持率を 99%、容量を 0.2 p F とすると、許容される T F T のリーク電流は  $5 \times (1 - 0.99) \times 0.2 \text{ p F} / 16.6 \text{ m s e c} = 0.6 \text{ p A}$

となり、この値を使用温度範囲、T F T のばらつきをふくめて実現するのは困難であるため、画素の電荷は放電され、画質の劣化をまねいていた。

【0010】第二の問題点は T F T の動作において、走査線電位が高電位から低電位に、または、低電位から高電位に変化するとき、T F T のゲート、ドレイン間の容量によってドレイン電位が以下に示す  $\Delta V$  だけ走査線電位が変化する方向へ引き込まれることである。

$$\Delta V = V \times C_{gd} / (C_{gd} + C_{lc} + C_{stg})$$

ここで、V は走査線電位の変動幅

$C_{gd}$  は T F T のゲートドレイン間の容量値

$C_{lc}$  は液晶の容量値

$C_{stg}$  は保持容量の容量値

この現象によって、第 6 図に示すように画素電極の電位は中心より下側にずれてしまい液晶の劣化をまねいていた。

【0011】本発明の液晶表示装置はこのような 2 つの問題点を解決するものであり、その目的とするところは、保持時間の長さに関わらず保持が可能であり、且つ、走査線の電位変化によって保持電位が変化しない液

晶表示装置を提供することにある。

#### 【0012】

【問題を解決するための手段】本発明の液晶表示装置は、諧調表示方式を時間諧調方式として、画素に印加される電圧は二値のみとし、且つ、一つの画素について、一つのデジタル記憶回路を有し、その出力に画素電極を接続している。

#### 【0013】

【作用】本発明では、走査線の信号によって、信号線の電位をデジタル記憶回路に取り込み、一定の期間電位を保持している。画素電極はデジタル記憶回路の出力に接続されているため、記憶回路が保持状態である限り、デジタル記憶回路のハイ電位またはロウ電位が与えられる。

#### 【0014】

【実施例】第1図に本発明の実施例をしめす。時間諧調方式では第7図に示すように時間的に白黒を切り替え中間調をだす方式である。この実施例の信号線駆動回路の動作について説明する。時間変調されたデジタル諧調信号は入力端子102よりシフトレジスタ109に入力される、シフトレジスタ109の出力は次の段のシフトレジスタ110およびラッチ回路111に入力され、ラッチ回路111は一定期間はデータの保持を行う。この保持期間は入力端子103に入力される水平同期信号によってきまる。ラッチ回路111、112の出力はインバータ形式のバッファ回路113、114、115、116を介して信号線106、107に出力される。信号線のデータは走査線信号によって各画素電極の近傍に配置されたデジタル記憶回路117、118、119、120にとりこまれる。この記憶状態は次に走査線信号がくるまで保持される。

【0015】第8図は画素領域およびデジタル記憶回路の例である。このデジタル記憶回路はTFT807、808とTFT809、810で構成されるインバータを二つ組合わせたもので、TFT806がオンすると記憶回路と信号線がショートされ、データがとりこまれる。記憶回路の出力は直接画素電極に接続されているため、画素電極の電位は記憶回路の電源電位の高電位側もしくは低電位側のいずれか一方の電位に固定される。このように画素の電位は従来例のように容量に蓄電し、電位を保持するのではなく、記憶回路のデータで保持を行うため、画素TFTのリーク電流による電位変動やTFTオフによる電位変動は発生せず、画質の向上がみこめる。

【0016】また、液晶素子は直流電圧を長期にわたり印加すると劣化が発生するため、本実施例ではデジタル記憶回路の電源電位803、804をその出力振幅と同じ振幅にて、且つ特定周波数（垂直同期周波数など）で駆動し、液晶に加わる電圧が平均的には0になるようにしている。この関係を第10図にしめす。

【0017】第9図は記憶回路の第二の例である。TFT

T908、910と抵抗器907、909によってインバータを構成し、記憶回路を構成している。この例では、動作は前記した実施例と同様であるが、画素マトリクス内のTFTの極性を一種類のみにすることが可能である。

#### 【0018】

【発明の効果】以上説明したように、本発明は諧調表示方式を時間諧調表示方式とし、且つ、一つの画素電極に対して、一つずつのデジタル記憶装置により電位をあたえることができ、画素電極の電位を一定にできるという効果がある、またそれによって、画質の向上をはかるという効果がある。

#### 【図面の簡単な説明】

【図1】 本発明の液晶表示装置の信号線駆動回路の実施例を示す。

【図2】 アクティブマトリクス型液晶表示装置のブロック図を示す。

【図3】 従来の信号線駆動回路の例を示す。

【図4】 走査線駆動回路の例を示す。

【図5】 TFTのドレイン電流、ゲート電圧特性を示す。

【図6】 画素の保持特性を示す。

【図7】 時間諧調の動作を示す。

【図8】 画素及びデジタル記憶回路の実施例を示す。

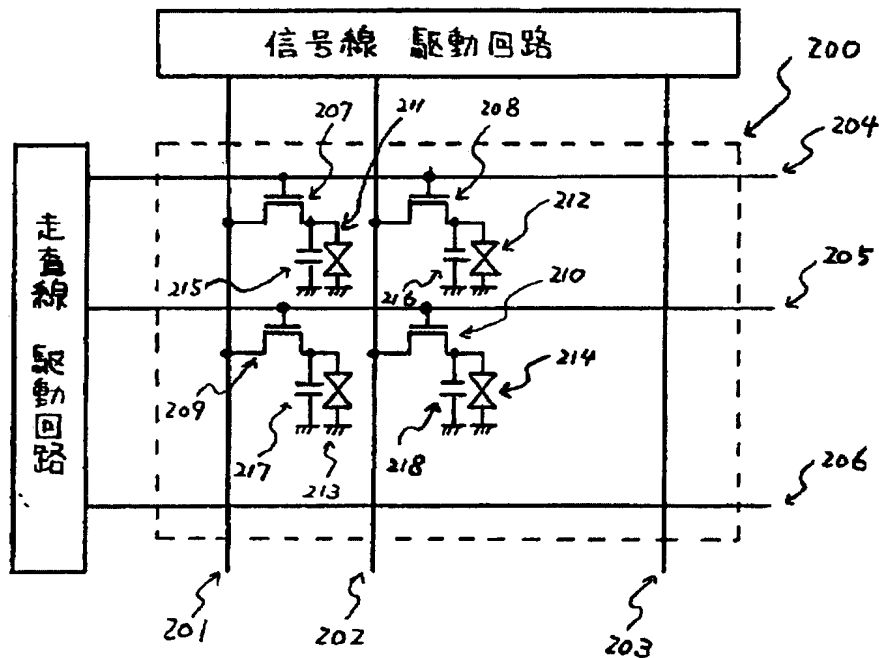
【図9】 画素及びデジタル記憶回路の実施例を示す。

【図10】 デジタル記憶回路電源電圧および液晶電圧特性を示す。

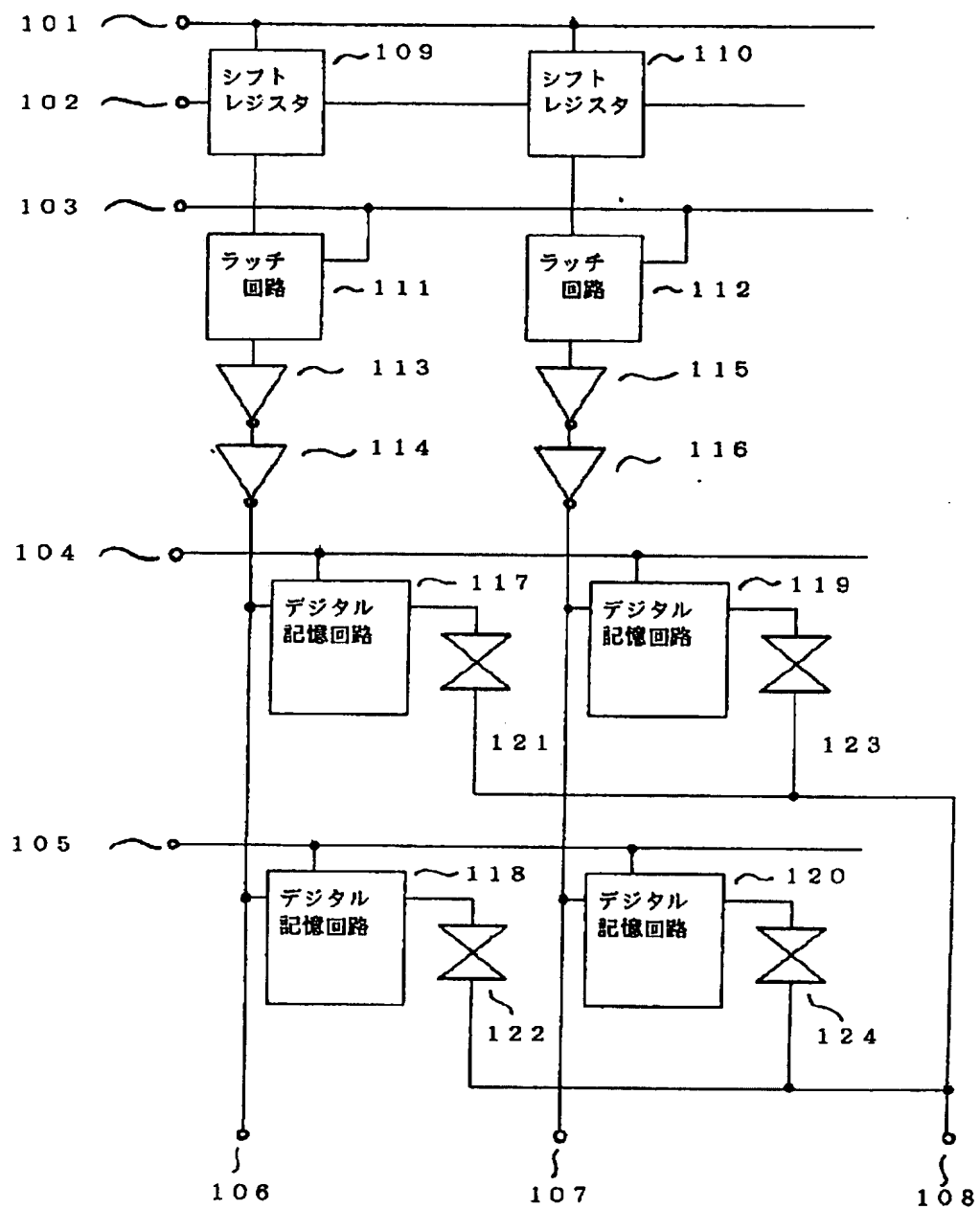
クロック入力端子	: 101
スタートパルス入力端子	: 102
水平同期信号入力端子	: 103
走査線	: 104、105
信号線	: 106、107
対向電極接続端子	: 108
シフトレジスタ	: 109、110
ラッチ回路	: 111、112
インバータ型バッファ	: 113～116
デジタル記憶回路	: 117～120
液晶	: 121～124
画素マトリクス	: 200
信号線	: 201～203
走査線	: 204～206

TFT	: 207 ~ 21	4	
0		インバータ型バッファ	: 405、40
液晶	: 211 ~ 21	6	
4		走査線接続端子	: 407、40
保持容量	: 215 ~ 21	8	
8		走査線	: 801
クロック入力端子	: 301	信号線	: 802
スタートパルス入力端子	: 302、30	記憶回路電源端子	: 803、80
3		4	
水平同期信号入力端子	: 304	10 対向電極端子	: 805
諧調電圧端子	: 305 ~ 30	TFT	: 806 ~ 81
8		0	
信号線接続端子	: 309	液晶	: 811
シフトレジスタ	: 310 ~ 31	走査線	: 901
3		信号線	: 902
ラッチ回路	: 314、31	記憶回路電源端子	: 903、90
5		4	
デコーダー	: 316	対向電極端子	: 905
TFT	: 317 ~ 32	TFT	: 906、90
0		20 8、910	
クロック入力端子	: 401	液晶	: 911
スタートパルス入力端子	: 402	抵抗器	: 907、90
NAND	: 403、40	9	

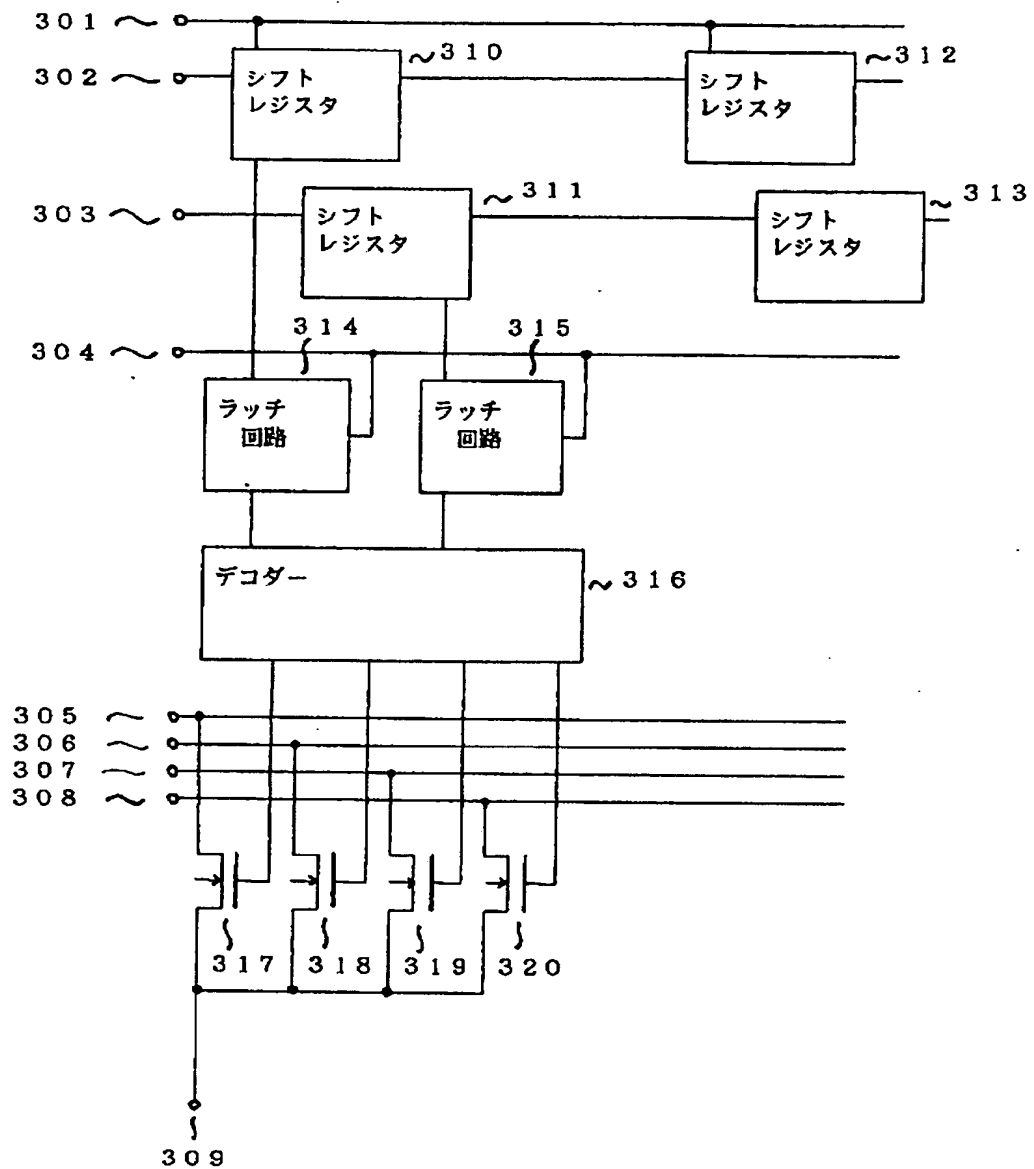
【図2】



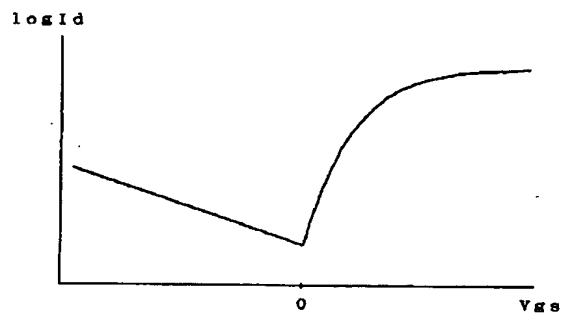
【図 1】



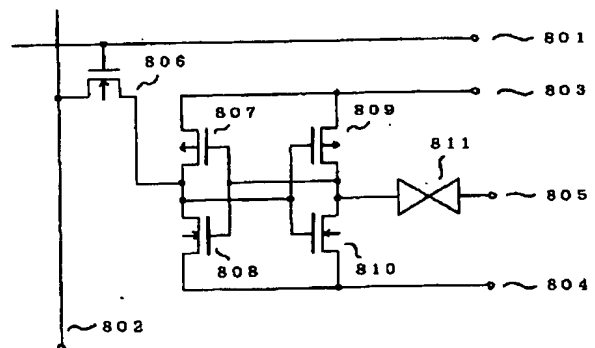
【図3】



【図5】

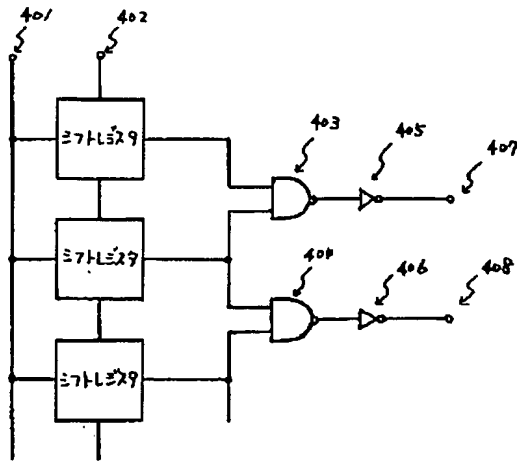


【図8】

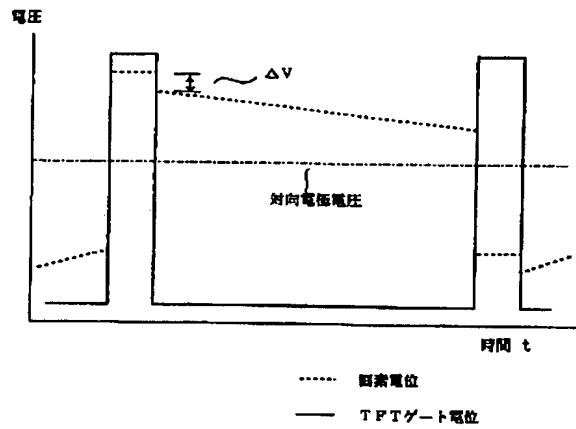




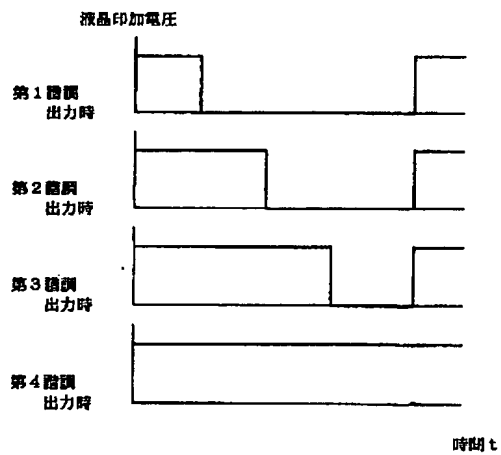
【図 4】



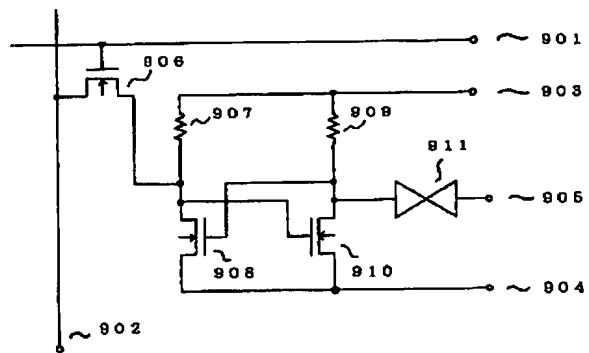
【図 6】



【図 7】



【図39】



【図 10】

